

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Patent Number: JP55113378
Publication date: 1980-09-01
Inventor(s): SHIMIZU SHUICHI; others: 03
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP55113378
Application Number: JP19790019811 19790223
Priority Number(s):
IPC Classification: H01L29/80; H01L29/06
EC Classification:
Equivalents:

Abstract

PURPOSE: To heighten gm, to decrease noise and to improve high frequency characteristics by extending a part or the whole of meshgate crossing section toward the side of substrate and by connecting it to substrate gate.

CONSTITUTION: An n<->-type semiconductor layer 4 which becomes channel region, and a p-type channel isolation layer 2, a mesh type gate 3 consisting of p-type diffusion layer and source drain lead out sections 5 consisting of n<+>-type diffusion layer are formed on a p-type Si substrate 1 which becomes substrate gate, and electrodes of source S and drain D are provided on the lead out sections 5. And the crossing sections 6 of gates 3 are connected to substrate gate 1 by gate short-circuit sections 7 consisting of p-type semiconductor regions. In this case, crossing sections 6 perform almost no FET function, so there will be no decrease of gm. Besides, the voltage is applied from substrate 1 through short-circuit section 7, so gate resistance is small. Noise can be decreased greatly and high frequency characteristics can be improved greatly.

Data supplied from the esp@cenet database - I2

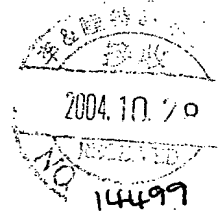
출력 일자: 2004/10/28

발송번호 : 9-5-2004-044881027
발송일자 : 2004.10.27
제출기일 : 2004.12.27

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2
층(리&목특허법률사무소)
이영필 귀하

137-874

특허청 의견제출통지서



출원인 명칭 삼성전자주식회사 (출원인코드: 119981042713)
주소 경기도 수원시 영통구 매탄동 416
대리인 성명 이영필
주소 서울 서초구 서초3동 1571-18 청화빌딩 2층(리&목특허법률사무소)
출원번호 10-2003-0024780
발명의 명칭 게이트 캐패시턴스를 감소시킬 수 있는 트랜지스터

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조 제2항의 규정에 의하여 특허를 받을 수 없습니다.

- 아 래 -

본원의 청구범위 제1항은 트랜지스터에 관한 것으로, 본원발명의 기술구성은 메쉬 형태의 게이트 전극과 액티브 영역내에 게이트 전극을 포함하는 부분과 오버랩되도록 소자 분리막이 배치된 것이 특징이나, 이는 인용참증(일본특개소 55-113378 : 1980.9.1)의 메쉬 타입의 게이트가 형성된 장치에 게이트 교차부는 게이트 short-circuit section에 의해 기판 게이트와 연결되어 FET의 기능을 수행하지 않는 특징으로 가지는 반도체장치의 제조방법으로부터 당업자라면 누구나 예측가능한 기술일 뿐 그 기술구성에 대한 각별한 곤란성이 있다거나 이로 인한 작용효과가 인용참증으로부터 예측되는 효과 이상의 새로운 상승효과가 있다고 보기 어려우므로 이는 당해 기술분야에서 통상의 지식을 가진 자에 의해 용이하게 발명될 수 있는 것입니다.

[참 부]

첨부1 : 인용참증(일본특개소 55-113378) 1부. 끝.

2004.10.27

특허청

전기전자심사국

반도체심사담당관실

심사관 정회현



⑩ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭55—113378

⑬ Int. Cl.³
H 01 L 29/80
29/06

識別記号

庁内整理番号
7925—5F
7514—5F

⑭ 公開 昭和55年(1980)9月1日

発明の数 2
審査請求 未請求

(全 5 頁)

⑮ 半導体装置とその製法

⑯ 特 願 昭54—19811

⑰ 出 願 昭54(1979)2月23日

⑱ 発 明 者 清水修一
高崎市西横手町111番地株式会
社日立製作所高崎工場内

⑲ 発 明 者 小野良一
高崎市西横手町111番地株式会
社日立製作所高崎工場内

⑳ 発 明 者 猪又藤彦

高崎市西横手町111番地株式会
社日立製作所高崎工場内

㉑ 発 明 者 北原敏昭

高崎市西横手町111番地株式会
社日立製作所内

㉒ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

㉓ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体装置とその製法

特許請求の範囲

1. 第1導電型の半導体基板、該基板の上に形成され第2導電型の半導体層、該半導体層内に形成され該層の主表面から上記基板に達する第1導電型の第1半導体領域、上記半導体層内に形成され上記第1半導体領域を取り囲んで該半導体層の主表面から上記基板に達する第1導電型の第2半導体領域、及び上記半導体層内に上記基板に達しない深さで形成され上記第1半導体領域と第2半導体領域の少なくとも一方に接続された第1導電型の第3半導体領域からなることを特徴とする半導体装置。

2. 上記第3半導体領域は上記半導体層の主表面において、メッシュ状に形成され、上記第1半導体領域は仮メッシュ状第3半導体領域の少なくとも一つの交差部に配置されてなることを特徴とする特許請求の範囲第1項記載の半導体装置。

(1)

3. 上記第3半導体領域は上記半導体層の主表面においてメッシュ状に形成され、かつ上記第1半導体領域及び第2半導体領域の両方に接続されてなることを特徴とする特許請求の範囲第1項記載の半導体装置。

4. 上記第1半導体領域は上記メッシュ状第3半導体領域の少なくとも一つの交差部に配置されてなることを特徴とする特許請求の範囲第3項記載の半導体装置。

5. 第1導電型半導体基板上に第2導電型の半導体層を形成し、該半導体層内に該層の主表面から上記半導体基板に達する第1導電型の第1半導体領域及び第2半導体領域から離間されかつそれを取り囲んで該層の主表面から上記半導体基板に達する第1導電型の第3半導体領域を同時に形成し、上記半導体層内に上記半導体基板に達しない深さを有し上記第1半導体領域と上記第2半導体領域との少なくとも一方に接続された第1導電型の第3半導体領域を形成することを特徴とする半導体装置の製法。

(2)

6. 第1導電型半導体基板表面に同じ導電型不純物を部分的に導入する工程と、上記基板上に第2導電型半導体層を成長させる工程、上記部分的に導入した不純物を上記半導体層中に拡散させる工程と、上記半導体層表面に第1導電型不純物を導入してメッシュ状半導体領域を形成するとともにその交差部で前記基板表面よりの部分的な不純物拡散部と接続させる工程からなる半導体装置の製法。

発明の詳細な説明

この発明は半導体装置、特にメッシュゲートを有する接合型電界効果トランジスタ(FET)及びその製法に関する。

接合型FETにおいて高い β を得る手段として、第1図に示すように、ゲートGの形状を格子状のメッシュ形(網目形)に形成し、メッシュの間にソースS及びドレインDを交互に設けたものが提案された。このような格子状のメッシュゲートを採用することでゲート幅Wは従来のくし形構造のものの2倍となる。FETの β は \sqrt{W} に比

(3)

ゲート接合型FETを提供することにある。

本発明の第1の要旨は、第1導電型の半導体基板、該基板上に形成された第2導電型の半導体層、該半導体層内に形成され該層の主表面から上記基板に達する第1導電型の第1半導体領域、上記半導体層内に形成され上記第1半導体領域を取り囲んで該半導体層の主表面から上記基板に達する第1導電型の第2半導体領域、及び上記半導体層内に上記基板に達しない深さで形成され上記第1半導体領域と第2半導体領域の少なくとも一方に接続された第1導電型の第3半導体領域からなることを特徴とする半導体装置にある。

また、本発明の第2の要旨は第1導電型半導体基板上に第2導電型の半導体層を形成し、該半導体層内に該層の主表面から上記半導体基板に達する第1導電型の第1半導体領域及び該第1半導体領域から離隔されかつそれを取り囲んで該層の主表面から上記半導体基板に達する第1導電型の第2半導体領域を同時に形成し、上記半導体層内に上記半導体基板に達しない深さを有し上記第1

(5)

特開 昭55-113378(2)

例して大きくなるため同じ微細化レベルで同一チップ面積で β が $\sqrt{2}$ 倍になり、増幅電圧も改善されることになる。このようなメッシュゲート形FETでは表面のゲート部が狭くて細く(例えばゲート長 $L=2\mu m$)その上に電極形成が困難であるため基板1層がゲート電極になり周囲のチャネルアイソレーション層2を通じてメッシュゲート3に通電するようになっている。

しかし β をより高くする目的でベリットサイズを大きくし、ゲート幅(W)/ゲート長(L)を大きくすると同図に示すようにベリット中央部に行くほどゲート抵抗($R_G + R_G + \dots$)が大きくなっていく。ゲート抵抗が大きくなればそれだけ雑音が増加するとともに高周波特性の劣化を招く。

本発明は上記した問題点を解決するためになされたものであり、したがってその第1の目的はより高い β を有する半導体装置を提供することである。第2の目的は雑音特性が改善されすぐれた高周波特性を有する半導体装置、例えばメッシュ

(4)

半導体領域と上記第2半導体領域との少なくとも一方に接続された第1導電型の第3半導体領域を形成することを特徴とする半導体装置の製法にある。

例えば、上記目的を達成するためこの発明に係るメッシュゲートFETにおいては、メッシュゲートの交差部の一部又は全部を基板側に延長し基板ゲートと接続される。

以下、本発明に係る半導体装置及びその製法についてメッシュゲート接合型電界効果トランジスタを例に図面にもとづいて説明する。

第2図に本発明によるメッシュゲートFETが示される。1は基板ゲートとなるP型シリコン基板、4はチャネル領域となる n^+ 型半導体層、2はP型チャネルアイソレーション層、3は n^+ 型半導体層表面に格子状に形成されたP形拡散層よりなるメッシュ状ゲート、5はメッシュゲートの間に形成された n^+ 型拡散層よりなるソース・ドレイン取出し部でこれらの上にソースS、ドレインD電極がそれぞれ設けられる。6は前記

(6)

メッシーゲートの交差部、7はこの交差部のp拡散層を基板側に延長して基板ゲートと接続させるp型半導体領域よりなるゲート短絡部である。このゲート短絡部は同図では中心部のみ形成されているがメッシーゲートの全ての交差部について設けてもよく、又は交差部のうちのいくつかを適当に例えばひとつ置きに設けるようにしてもよい。

このようなメッシーゲートFETにおいてはゲート短絡部となるメッシーゲートの交差部はほとんどFET動作のしない部分であるため R_G の低下を招くことはない。ゲート電圧は基板からゲート短絡部（ n^+ 型チャンネル層の厚さ）を通して印加されるためゲート抵抗がわずか（例えば $R_G = 0.1 \Omega$ ）である。これを第1図に示したメッシーゲートFETにおける基板からチャンネルアイソレーション部及びメッシーゲートを通して中心部に印加する場合のゲート抵抗 R_G は最大15 Ω にもなるのに比べると150分の1と小さくすることができる。このゲート抵抗 R_G の低減により、雑音（ $\sqrt{4kT/R_G}$ ）を大幅に低下させること

(7)

のときメッシーゲート層3の一部と基板1のp拡散層10とが上下から挟み込んでゲート短絡部7が形成される。なお、この工程で上記ゲート短絡部7とアイソレーション領域2とは同時に形成されることが理解される。

(8) 表面の酸化膜をフォトリソ処理したマスクを通してリン（又はヒ素）を基底的に拡散し、メッシーゲートのp領域表面にソース・ドレイン取出し部となる n^+ 拡散層5を形成する。

このあと第4図(a)、(b)に示すように表面の酸化膜に前記 n^+ 拡散層に対しコンタクト穴をあけ、アルミニウム蒸着、配線パターンエッチングにより、ソース電極S及びドレイン電極Dを形成する。又基板裏面にアルミニウム又は他の金属を蒸着してゲート電極Gを形成しFETを完成する。

このような本発明の製造法によればメッシーゲートの交差部を基板ゲートに短絡したメッシーゲートFETが得られる。

第5図(a)、(b)は本発明の他の実施例を示す。同図において各構成部の指示記号は第2図～第4図

(9)

ができるとともに、高周波特性

$f_t = \frac{1}{2\pi R_G C_{iss}}$ ただし C_{iss} はリード容量及びソース・ドレイン結合容量）を大きく向上させることができる。

第3図(a)～(d)は本発明によるメッシーゲートFETの製造方法を示す工程毎の断面図である。

(a) p型シリコン結晶基板1の表面に酸化膜

(SiO_2)8をマスクとしてボロンを選択的に導入し、チャンネルアイソレーション部とゲート短絡部となるべき部分に高濃度ボロンデポジション（ p^+ ）層9、10を形成する。

(b) 基板1上にチャンネル層となる n^+ 型不純物ドーパントをメッシーゲート層4を形成し、前記ボロンデポジション層9、10よりボロンを n^+ 型層4へ拡散させる。

(c) n^+ 型層表面に生成した酸化膜11をフォトリソ処理したマスクを通してボロンを選択的に拡散し p^+ 型メッシーゲート層3及び p^+ 型チャンネルアイソレーション部2を形成する。こ

(8)

と共通の記号とする。

この例においてメッシーゲートは、互いに60°で交わるゲート拡散層によつて形成され正三角形に囲まれた部分にソースS、ドレインDが交互に形成されるものである。このような三角格子状メッシーゲートを採用することでゲート幅Wは従来のくし形構造のもの約1.5倍となる。このようなメッシーゲートFETにおいて、メッシーゲートの各交差部（又は一面）5を基板側に延長し基板ゲート1と短絡させることにより、矩形のメッシーゲート構造を有する前記実施例（第2図）とはほぼ同等の効果が得られる。

本発明は前記実施例に限定されない。

前記第3図にもとづく実施例においては、p型基板に p^+ 型領域9、10を埋め込んでおきその上の n^+ 半導体層の表面からp型不純物を拡散してこれらの領域と接続させて、チャンネルアイソレーション部2とゲート短絡部7とを同時に形成する方法を説明したが、p型基板に p^+ 型領域9、10を形成せず、第5図(a)に示すように

(10)

製造工程を説明するための半導体装置部の斜視断面図である。

1…基板ゲート（P型半導体基板）、2…チャネルアイソレーション層（P型拡散層）、3…メッシュゲート（P型拡散層）、4…チャネル領域（N⁺型エピタキシャル半導体層）、5…ソース・ドレイン取出部（N⁺型拡散層）、6…メッシュゲート交差部、7…ゲート接続部（P⁺拡散層）、8…酸化膜、9、10…ボロンデポジション層、11…酸化膜。

代理人 弁理士 澤田利幸

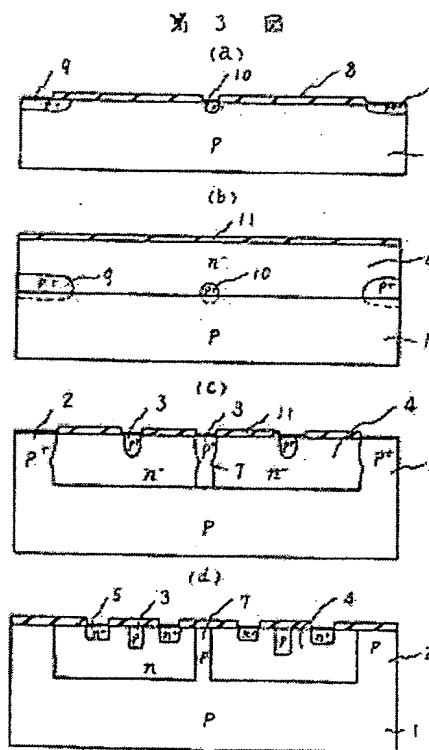
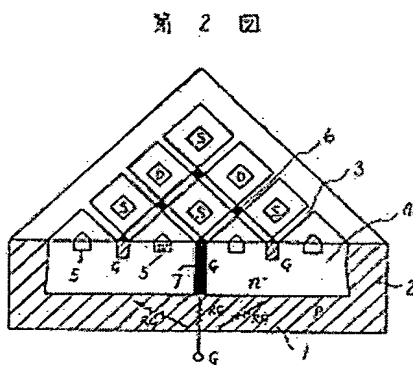
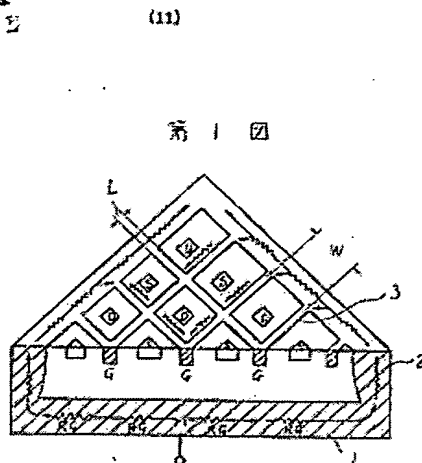
基板1上に形成されたP型半導体層4の表面から基板1まで流すようにP型不純物を拡散してアイソレーション層2とゲートシロート部7とを同時に形成し、そのあとで第8図(11)に示すようにP型不純物を強く拡散してメッシュ状のP型ゲート領域3を形成してもよい。

また、導電型を全て逆にし、N型基板を使用しP型チャネルFETに本発明を適用してもよい。

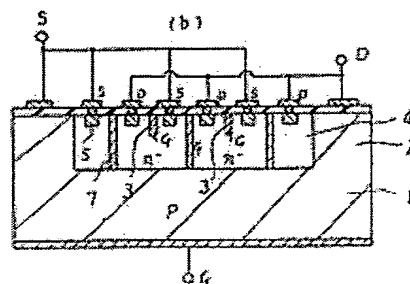
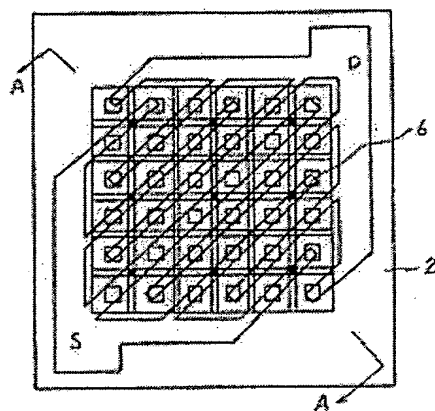
また、ゲート接続部は不純物イオン打込みによつて形成してもよい。

図面の簡単な説明

第1図はメッシュゲートFETを概略的に示す斜視断面平面図、第2図は本発明によるメッシュゲートFETの一実施例の斜視断面平面図、第3図(a)～(d)は本発明によるメッシュゲートFET製造法を工程順に示すFET断面図、第4図(a)は本発明によるメッシュゲートFETの完成時平面図、同図(b)は(a)のA-A視断面図、第5図(a)は本発明によるメッシュゲートFETの他の実施例の平面図、同図(b)は(a)のA-A視断面図、第6図(a)及び(b)は

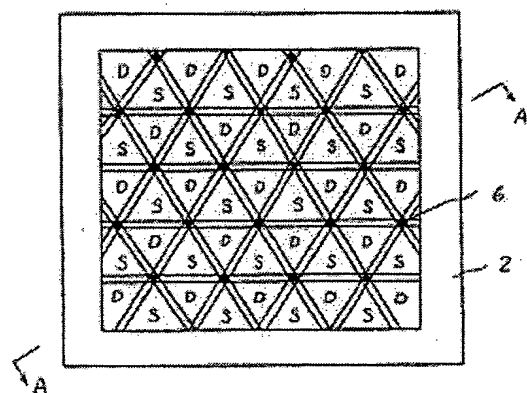


第 4 図
(a)

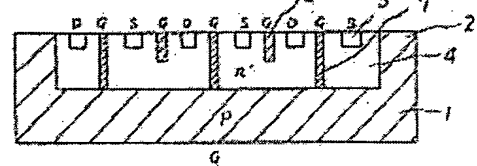


第 5 図

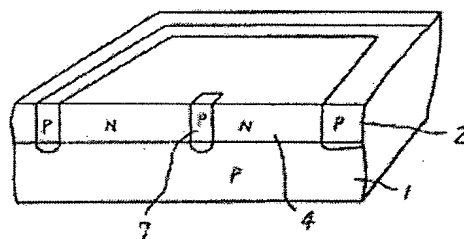
(a)



(b)



第 6 図
(a)



(b)

